

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-057408
 (43)Date of publication of application : 25.02.1992

(51)Int. Cl. H03K 5/13

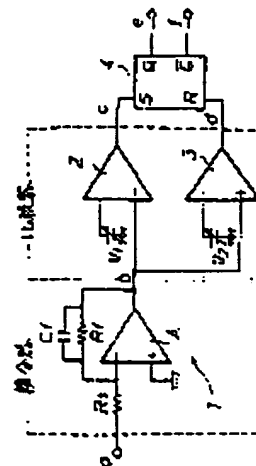
(21)Application number : 02-166819 (71)Applicant : HITACHI CABLE LTD
 (22)Date of filing : 27.06.1990 (72)Inventor : TOKORO TAKEHIKO
 GOTO MASAHIRO

(54) VARIABLE PHASE CIRCUIT

(57)Abstract:

PURPOSE: To facilitate phase adjustment and to vary the phase continuously and considerably by comparing an integration signal of an input signal with a variable reference voltage being an external control signal and inputting the comparison output to a flip-flop circuit having set and reset terminals.

CONSTITUTION: The variable phase shift circuit consists of an integrating circuit 1 integrating an input signal linearly, two variable reference voltage sources (control voltage sources) V1, V2, a comparator 2 comparing an integration output (b) with the reference voltage V1 and outputting an output signal (c), a comparator 3 comparing the integration output (b) with the reference voltage V2 and outputting an output signal (d), and a flip-flop 4 having set and reset terminals receiving the result of comparison. The delay in the output signal (c) is small when the external control voltage V1 is small and the delay in the output signal (c) is large when the external control voltage V1 is large, then the phase is varied in a range of 90-180°. The phase of an output signal (d) is shifted by just 180° with respect to the output signal (c) by selecting the external control voltage V2 to be $V2+V1$. Then the signals c, d generated from both the comparators 2, 3 are inputted respectively to a set terminal S and a reset terminal R of the flip-flop 4, and the result is outputted from points e, f.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision
of rejection]

[Kind of final disposal of application]

BEST AVAILABLE COPY

other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

BEST AVAILABLE COPY

⑤ 日本国特許庁(JP) ⑩ 特許出願公開
④ 公開特許公報(A) 平4-57408

⑥ Int. Cl.⁷
H 03 K 5/13

識別記号 庁内整理番号
7125-5J

⑧ 公開 平成4年(1992)2月25日

審査請求 未請求 請求項の数 3 (全5頁)

⑨ 発明の名称 可変位相回路

⑪ 特 願 平2-186819

⑫ 出 願 平2(1990)6月27日

⑬ 発 明 者 所 武 彦 茨城県日立市日高町5丁目1番1号 日立電線株式会社電線研究所内

⑭ 発 明 者 後 藤 真 宏 茨城県日立市日高町5丁目1番1号 日立電線株式会社電線研究所内

⑮ 出 願 人 日立電線株式会社 東京都千代田区丸の内2丁目1番2号

⑯ 代 理 人 弁理士 相谷 信雄

明 細 書

1. 発明の名称

可変位相回路

2. 特許請求の範囲

1. 入力信号を線形積分する積分回路と、この積分回路の積分出力を基準電圧と比較して出力信号を出力する第1及び第2の比較器と、この出力信号をセット、リセット信号とするセット、リセット端子を有するフリップフロップとを備え、上記基準電圧の一方を加算して、フリップフロップ回路の出力の位相シフト量を制御するようにしたことを特徴とする可変位相回路。

2. 上記積分回路を構成する等分にダイオードの組合せ又はバリキャップを用いて積分回路の時定数を変化させるように構成した請求項1記載の可変位相回路。

3. 上記基準電圧の他方を加算して、フリップフロップ回路の出力のデューティ比を制御することを特徴とする請求項1記載の可変位

相回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、可変位相回路、特にクロック信号等の位相を外部制御信号により、連続的にかつ任意に可変できる可変位相回路に関するものである。

〔従来の技術〕

信号の位相を変化させるまたは制御する方法としては、抵抗、コンデンサ、若しくはインダクタンス等の受動素子で構成される位相シフト回路を用いるのが一般的である。例えば、第6図に示すように、抵抗RとコンデンサC1、及び抵抗R2とコンデンサC2で構成した2つの積分回路を直列に接続し、その後継点に加えた45°入力に対して、各積分回路出力から位相のシフトした波形を得るものである。

また、能動素子を用いた位相シフト回路(可変位相回路)は、インピーダンスを変化させることにより位相を変化させるのが一般的である。

特開平4-57408 (2)

ディレーライン（遅延線）を用いて実化させる方法もある。これはストリップライン等の分布定数回路を用いて、これらの長さを変えることにより行う（第7図）。同様と同軸ケーブルの長さを変えることにより、位相を変化させることもできる。

またデジタル信号の場合には、ゲート回路等へ信号を遅らすことにより、ゲート回路の伝達遅延時間を利用して、入力信号の位相をその分遅らせることができる。従って、ゲート回路の接続段数を変化させることにより、遅延時間即ち位相を変化させることができる（第8図）。

〔発明が解決しようとする課題〕

しかし、第6図に示すような、コンデンサやインダクタンス等の受動素子を用いた位相シフト回路の場合、その位相を変化させるためには、各受動素子の値を変化させることが必要である。そのためには、素子を違った定数のものと交換するか、あるいは可変素子（ボリューム等）を用いて調整する方法しか無く、調整が難しいばかりか、広い範囲に亘って変化させることも困難である。また

電源等の使用条件やゲート回路の製造条件（プロセスばらつき）等により、位相シフト量が増減してしまうという欠点がある。

本発明の目的は、前記した従来の位相シフト或いは位相可変回路の欠点を解消し、位相を連続的かつ大幅に可変でき、しかもその量を外部信号により制御することができる、新規な可変位相回路を提供することにある。

〔課題を解決するための手段〕

本発明の可変位相回路は、入力信号を積分積分する積分回路と、この積分回路の積分出力を基準電圧と比較して出力信号を出力する第1および第2の比較器と、この出力信号をセット、リセット信号とするセット、リセット端子を有するフリップフロップとを備え、上記基準電圧の一方を加給して、フリップフロップ回路の出力の位相シフト量を制御する構成のものである。

上記積分回路を構成する容量には、ダイオードの結合容量又はバリキャップを用いて積分回路の容量を変化させるように構成することができる。

コンデンサやインダクタンスは、小型化の要請に照らしてIC化に向かない。

次に、駆動素子を用いた位相シフト回路では、インピーダンスを変化させて行うため、インピーダンスの変化を伴う回路には適用することができない。また位相シフト量のリニアリティーが悪いという欠点がある。

更に、ストリップラインや同軸ケーブル等の分布定数回路の長さを変えて位相を調整する方法では、位相シフト量を連続的に変化させることが困難であり、また大きなシフト量を求めたい場合には、その分の長さを必要とし、小型化が困難である。また、絶対時間の遅延しかできないため、例えば位相を10°ずらしたい場合、信号の周波数等に遅延時間を計算し、長さを変えなければならぬ煩わしさがある。また、外部信号により位相シフト量を制御できない。

第8図に示すゲート回路の伝達遅延時間により位相をシフトさせる方法では、シフト量をステップ的にしか変化することができず、また温度、電

また、比較器の基準電圧の他方を加給して、フリップフロップ回路の出力のデューティ比を制御する構成とすることができる。

〔作用〕

本発明の可変位相回路は、位相を変化させるため、入力信号を積分した信号を外部制御信号たる可変基準電圧と比較し、その出力をセット、リセット端子を有するフリップフロップ回路へ入力する。外部制御信号により、位相シフト量を制御でき、更には出力のデューティを任意に制御できる可変位相回路であるため、位相調整が容易であり、また位相変化量も大幅に向上する。

尚、比較器、フリップフロップ回路の伝達遅延時間が、絶対時間として位相に加わる。位相変化範囲は90°～180°であるが、立ち上がり、立ち下がり時間が大きいと90°、180°近くで動作しなくなる。

〔実施例〕

本発明の実施例を第1図に示す。この可変位相回路は、基本的にはトランジスタ等の駆動素子を

特開平4-57408 (S)

用いて構成される。

この可変位相回路は、入力信号を線形積分する積分回路1と、2回の可変基準電圧源(制御電圧源) $V1, V2$ と、積分回路1の積分出力 b をこの基準電圧 $V1$ と比較して出力信号 c を得る比較器2と、同じく積分出力 b を基準電圧 $V2$ と比較して出力信号 d を得る比較器3と、この比較結果を受けるセット・リセット端子を有するフリップフロップ4とで構成される。比較器2の出力信号 c はフリップフロップ4のセット信号として、比較器3の出力信号 d はリセット信号として使用される。

積分器1は、オペンプ A と、抵抗 R_s, R_f 、コンデンサ C_f により構成する。この時定数は C_f と R_f で決まり、 $f = 1 / 2\pi C_f R_f$ となる。

この積分器1の出力 b は、比較器2、3の非反転入力端子(+側端子)へそれぞれ入力される。各々の比較器2、3により、制御電圧 $V1, V2$ と積分器の出力信号とを比較し、結果をフリップフ

ロップ4のセット端子 S とリセット端子 R へ入力する。

フリップフロップ4は、Dタイプのマスタ・スレーブ・フリップフロップであり、第2図に示す真理表に従って動作し、結果は Q, \bar{Q} 端子から出力 e, f として現れる。

次に動作について説明する。

第3図は、上記可変位相回路(第1図)に入力信号として方形波が入力された場合の各部の波形を示す。(a)は可変位相回路の入力端子 a に入力される方形波信号、(b)は可変位相回路の b 点に表れる積分電圧波形、(c)(d)は比較器2、3の出力波形、そして(e)はフリップフロップ4の Q 出力 e の波形を示す。

積分器1の出力 b に生じる三角波の振幅(ピーク・ピーク値)を $2V_0$ とし、制御電圧 $V1, V2$ の基準を、この三角波の振幅の中央、即ち三角波の平均値とする。

まず、 b 点に表れる積分電圧(第3図(b))、即ち比較器1、比較器2の非反転入力(+側入力)

に従って、 e, f 点より結果を出力する。 e 点の出力結果を第3図(e)に示す。

c 点の出力において位相は既に逆転しているが、信号のデューティ比が位相により変化してしまう。従って、位相を逆転させてもデューティ比の変化しない信号を得る場合には、第1図に示すように、第2の比較器3と、フリップフロップ4及び制御電圧 $V2$ を使い、 $V2$ の電圧を制御することにより、デューティ比を調整する。 $V1 = -V2$ の時、デューティ比は50%となる。

位相変化量は、 $V1$ が $0 < V1 < V_0$ の範囲で可変であり、従って約 $90^\circ \sim 180^\circ$ まで可変できる。従って、この回路を4段以上接続できることにより $0^\circ \sim 360^\circ$ の位相調整も可能となる。

上記第1図に示した積分器1、比較器2、3は、変動増幅回路によっても構成することができる。それを第4図に示す。

また第1図、第4図中のコンデンサ C_f は、第5図に示すようなグイオードの結合容量を用いて、

は、可変位相回路の入力端子 a に入力される方形波信号(第3図(a))に同期した歪みのない三角波となる。歪みのない三角波とすることにより、外部制御電圧 $V1, V2$ による比較制御が可能となる。

この2つの比較器2、3のうち、一方の比較器2の出力(第3図(c))の立ち上がりエッジは、(a)の入力信号の立ち上がりエッジに対して、

$$90^\circ + 90^\circ \times (V1 / V_0)$$

だけ遅れる。即ち、外部制御電圧 $V1$ が小さいと遅延量は少なく、外部制御電圧が大きいと遅延量が大きくなる。即ち、位相を $90^\circ \sim 180^\circ$ まで可変できる。

他方の比較器3においては、外部制御電圧 $V2$ を、 $V2 = -V1$ とすることにより、出力 c に対し、丁度 180° ずれた信号 d が得られる(第3図(d))。

そこで、両比較器2、3に発生した信号 c と d をフリップフロップのセット端子 S 、リセット端子 R へ入力することにより、第2図に示す真理表

特開平4-57408 (4)

そのダイオードに印加する電圧を制御することで容量を可変する構成としても良い。またバリキャップを用いても同様の効果が得られる。このようにすると、外部電圧により広範囲を周波数に渡って、特定値を位置に閉鎖することができる。従って、積分器、比較器、フリップフロップをモノリシックIC化することができる。

【発明の効果】

以上述べたように、本発明によれば、受動素子や能動素子による位相シフト回路では成し得ない、位相シフト量の連続的な変化を可能とし、広い入力周波数範囲に渡って同じ位相可変幅を持ち、且つ外部から容易に位相シフト量を制御することができる。

また、回路を容易にモノリシックIC化することができ、従来の位相シフトに比べ大幅に小型化でき、電源電圧変動、ICプロセス変動に対してもバラツキの少ない可変位相回路を実現できる。

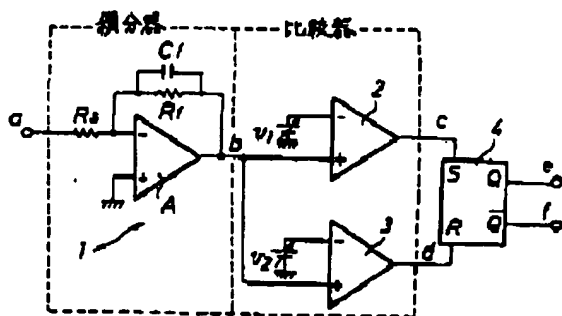
従ってこの可変位相回路は、例えば、光通信用クロックとデータの位相調整用として適する。

4. 図面の簡単な説明

第1図は本発明による可変位相回路の一実施例を示す図、第2図はそのDタイプ・マスタースレーブ・フリップフロップの真理表を示す図、第3図は本発明による可変位相回路に方形波が入力された場合の各部の信号波形を示す図、第4図は本発明による他の実施例を示す図、第5図はダイオード結合容量の一例図、第6図は従来の受動素子を用いた位相シフト回路図、第7図は従来のデレイラインを用いた位相シフト回路図、第8図は従来のゲート回路による位相調整方法を示した図である。

図中、1は積分器、2、3は比較器、4はフリップフロップを示す。

特許出願人 日立電線株式会社
代理人 弁護士 朝谷 信雄



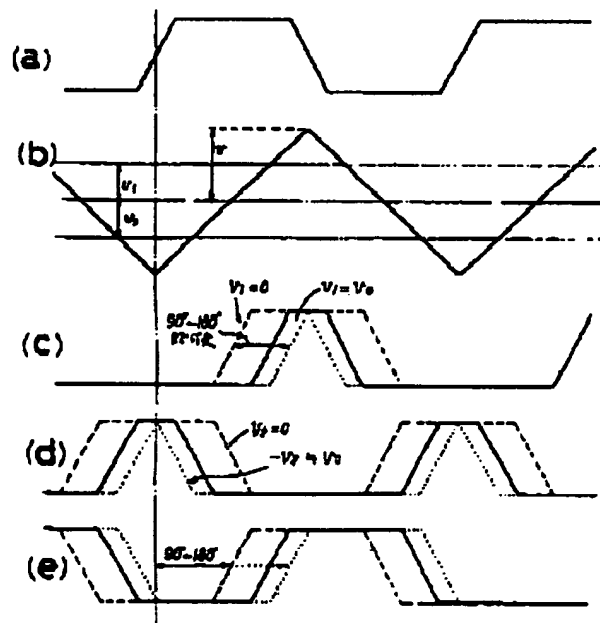
第1図

- 1: 積分器
- 2: 比較器
- 3: 比較器
- 4: D-TYPE MASTER-SLAVE FLIP-FLOP

P	S	Qn+1	Qn+1'
L	L	Qn	Qn'
L	H	N	L
H	L	L	H
H	H	X	X

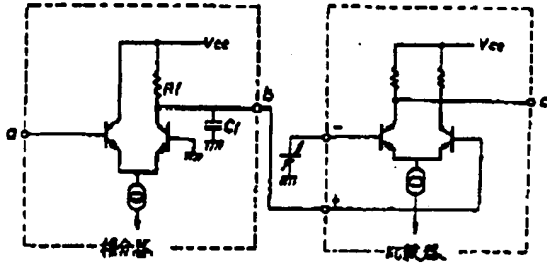
K: Not Defined

第2図

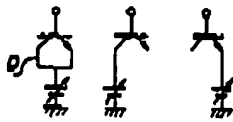


第3図

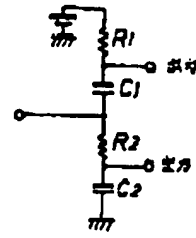
特開平4-57408 (5)



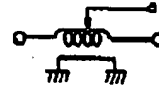
第 4 圖



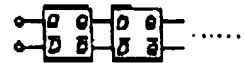
第 5 圖



第 6 圖



第 7 圖



第 8 圖

BEST AVAILABLE COPY